

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2010

ΤΕΧΝΟΛΟΓΙΑ (II) ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (155)
Ημερομηνία : Τρίτη 8 Ιουνίου 2010
Ώρα εξέτασης : 07:30 – 10:00

ΑΠΑΝΤΗΣΕΙΣ

ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από 12 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 4 μονάδες.

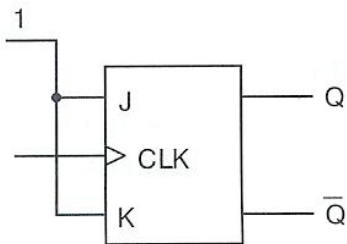
Για τις ερωτήσεις 1- 4 να κυκλώσετε την ορθή απάντηση.

1. Το ψηφίο ισοτιμίας σε ένα σύστημα εκπομπής και λήψης χρειάζεται για:
 - α) Να ελέγχει την ορθότητα των δεδομένων που λαμβάνονται
 - β) Να στέλλονται και λαμβάνονται τα δεδομένα με μεγάλη ταχύτητα
 - γ) Να προστατεύονται τα δεδομένα κατά τη μεταφορά τους από ξένα σήματα
 - δ) Να συμπληρώνει τον απαραίτητο αριθμό ψηφίων του κώδικα
 - ε) Τίποτε από τα πιο άνω

2. Το μέγιστο μέτρο (max MOD) απαριθμητή με τρία Φλιπ Φλοπ είναι:
 - α) 3
 - β) 9
 - γ) 16
 - δ) 8
 - ε) Τίποτε από τα πιο πάνω

3. Το μέγιστο μέτρο ασύγχρονου δυαδικού απαριθμητή είναι 16. Η συχνότητα στην έξοδο του τελευταίου Φλιπ Φλοπ που δίνει το περισσότερο σημαντικό ψηφίο (MSB), είναι 4 KHz. Η συχνότητα των παλμών ρολογιού CLK, είναι:
 - α) 16 KHz
 - β) 32 KHz
 - γ) 64 KHz
 - δ) 8 KHz
 - ε) Τίποτε από τα πιο πάνω

4. Το πιο κάτω κύκλωμα (Σχήμα 1) λειτουργεί σαν:



Σχήμα 1

- α) ασταθής πολυδονητής
- β) D Φλιπ Φλοπ
- γ) Διαιρέτης συχνότητας δια τέσσερα
- δ) Φλιπ Φλοπ εναλλαγής (Toggle)
- ε) Τίποτε από τα πιο πάνω

5. Το αρχικό περιεχόμενο ενός κυκλικού ολισθητή τεσσάρων 4 bit είναι $Q_0Q_1Q_2Q_3=1\ 0\ 1\ 0$. Συμπληρώστε στον πιο κάτω πίνακα το περιεχόμενο του ολισθητή μετά από δύο παλμούς ρολογιού.

	Q_0	Q_1	Q_2	Q_3
Αρχικό περιεχόμενο	1	0	1	0
Περιεχόμενο μετά τον πρώτο παλμό	0	1	0	1
Περιεχόμενο μετά το δεύτερο παλμό	1	0	1	0

6. Να προσθέσετε στο τέλος του κάθε κώδικα πιο κάτω το ζυγό ψηφίο ισοτιμίας.

Κώδικας	Ζυγό Ψηφίο ισοτιμίας
11001100	0
11000010	1
11110000	0
10101010	0

7.

- α) Να αναφέρετε τέσσερα κοινά χαρακτηριστικά των λογικών οικογενειών.
β) Ποιές είναι οι δύο κύριες λογικές οικογένειες που χρησιμοποιούνται σήμερα στη ψηφιακή ηλεκτρονική τεχνολογία.

α) Τέσσερα χαρακτηριστικά σύγκρισης των λογικών οικογενειών μπορεί να είναι:

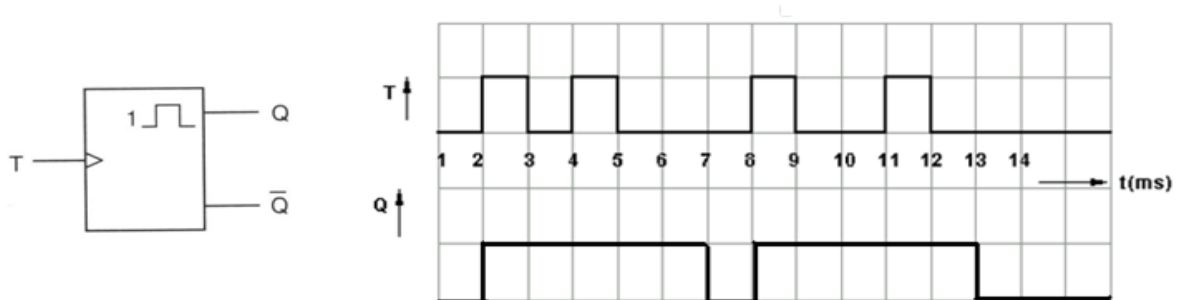
1. Καθυστέρηση μετάδοσης
2. Κατανάλωση ισχύος
3. Ικανότητα οδήγησης
4. Γινόμενο ταχύτητας ισχύος
5. Περιθώριο θορύβου
6. Τάση τροφοδοσίας
7. Λογικά επίπεδα

β) Οι δύο κύριες λογικές οικογένειες που χρησιμοποιούνται σήμερα στη ψηφιακή ηλεκτρονική τεχνολογία είναι:

1...TTL (**Transistor Transistor Logic**)

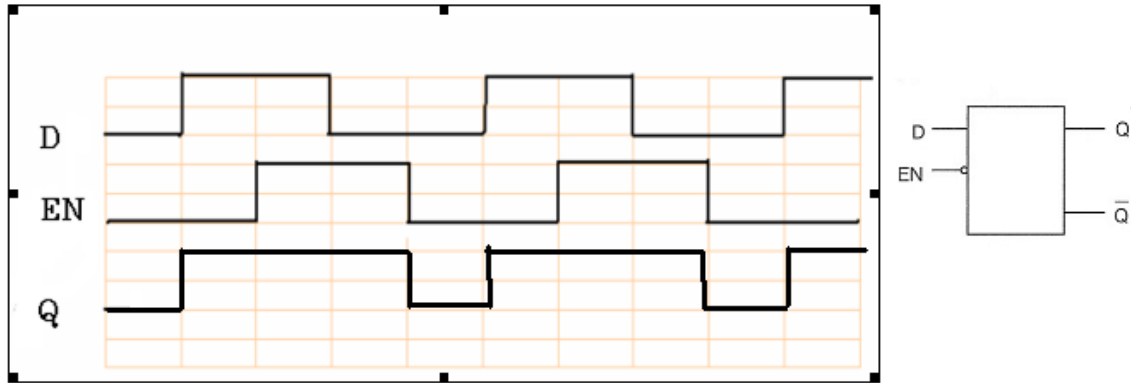
2...CMOS (**Complementary Metal Oxide Semiconductor**)

8. Το χρονικό διάγραμμα της εξόδου Q του μη επαναδιεγερόμενου μονοσταθί πολυδονητή που διεγείρεται στα θετικά μέτωπα των παλμών T και έχει σταθερή κατάσταση το λογικό 0 και χρόνο βολής 5 ms φαίνεται πιο κάτω



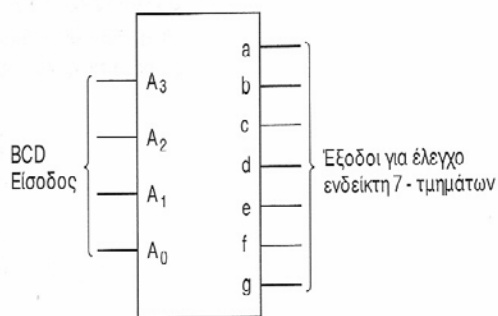
Σχήμα 2

9. Το χρονικό διάγραμμα της εξόδου Q του πιο κάτω D Φλιπ Φλοπ αν η αρχική κατάσταση της εξόδου Q είναι μηδέν (χαμηλό) φαίνεται στο σχήμα 3 πιο κάτω.



Σχήμα 3

10. Η λογική κατάσταση των εξόδων του αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει ενδείκτη 7 τμημάτων σχήμα 4 (η BCD είσοδος είναι $A_3A_2A_1A_0 = 0011$) φαίνεται στον πιο κάτω συμπληρωμένο πίνακα.



Κώδικας				Έξοδοι						
A_3	A_2	A_1	A_0	α	b	c	d	e	f	g
0	0	1	1	1	1	1	1	0	0	1

Σχήμα 4

11. Με βάση τις ονομασίες των κυκλωμάτων που δίνονται πιο κάτω, να συμπληρώσετε στη κενή στήλη στα δεξιά την περιγραφή που χαρακτηρίζει το κύκλωμα στα αριστερά.

- (α) Κύκλωμα παραγωγής μονού ψηφίου ισοτιμίας
- (β) Κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας
- (γ) Κύκλωμα ελέγχου μονού ψηφίου ισοτιμίας
- (δ) Κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας

	<p>(β) Κύκλωμα παραγωγής ζυγού ψηφίου ισοτιμίας</p>
	<p>(α) Κύκλωμα παραγωγής μονού ψηφίου ισοτιμίας</p>
	<p>(γ) Κύκλωμα ελέγχου μονού ψηφίου ισοτιμίας</p>
	<p>(δ) Κύκλωμα ελέγχου ζυγού ψηφίου ισοτιμίας</p>

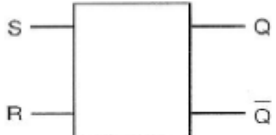
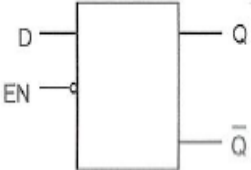
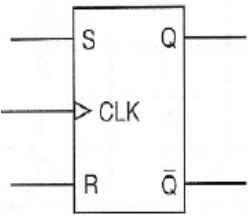
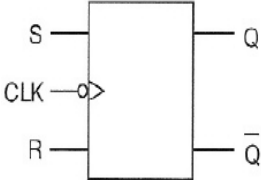
12. Με βάση τις ονομασίες των κυκλωμάτων που δίνονται πιο κάτω, να συμπληρώσετε στη κενή στήλη στα δεξιά την περιγραφή που χαρακτηρίζει το κύκλωμα στα αριστερά.

(α) Σύμβολο ασύγχρονου Φλιπ Φλοπ (Μανταλωτή).

(β) Σύμβολο Φλιπ Φλοπ που χρονίζεται στα αρνητικά μέτωπα των παλμών.

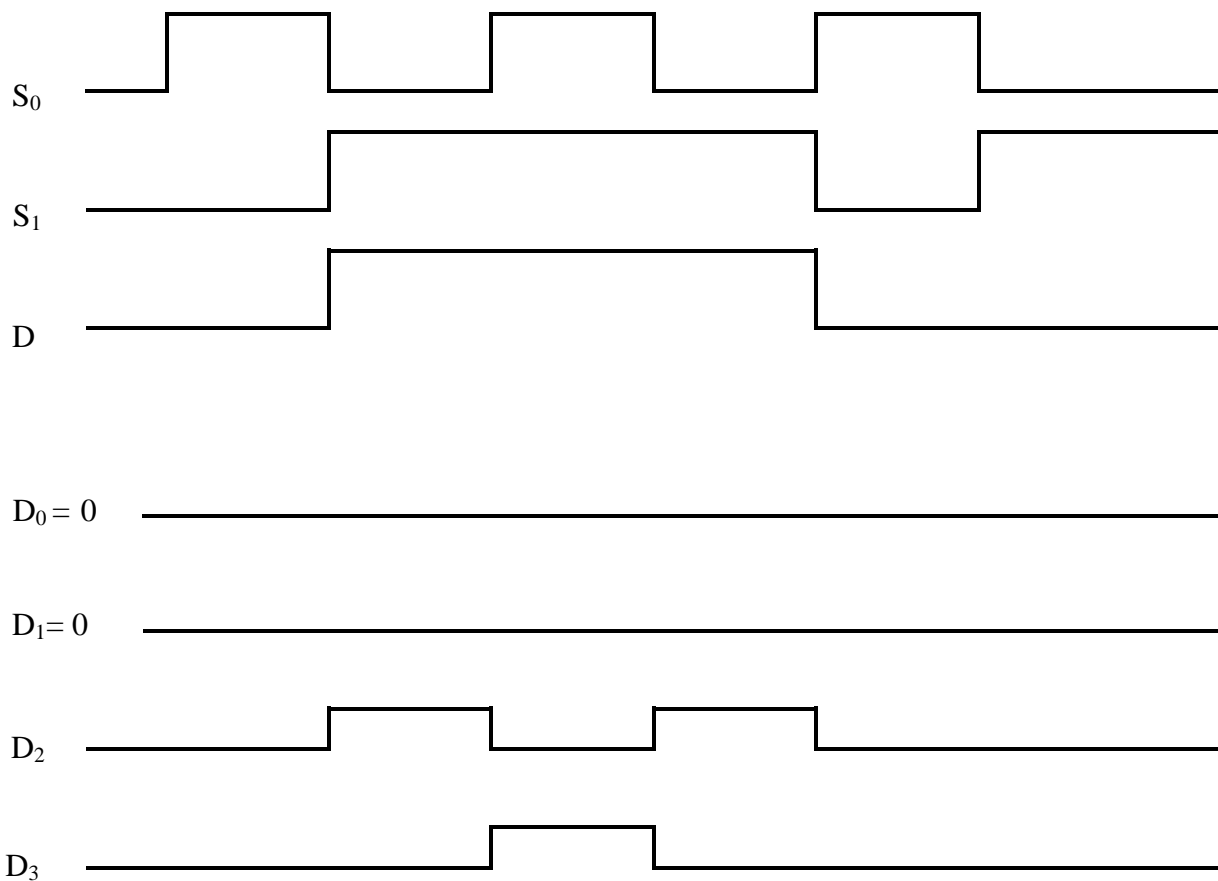
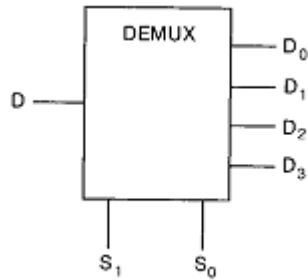
(γ) Σύμβολο Φλιπ Φλοπ που χρονίζεται στη διάρκεια που ο παλμός είναι στο χαμηλό (Low).

(δ) Σύμβολο Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών.

	<p>(α) Σύμβολο ασύγχρονου Φλιπ Φλοπ (Μανταλωτή).</p>
	<p>(γ) Σύμβολο Φλιπ Φλοπ που χρονίζεται στη διάρκεια που ο παλμός είναι στο χαμηλό (Low).</p>
	<p>(δ) Σύμβολο Φλιπ Φλοπ που χρονίζεται στα θετικά μέτωπα των παλμών.</p>
	<p>(β) Σύμβολο Φλιπ Φλοπ που χρονίζεται στα αρνητικά μέτωπα των παλμών.</p>

ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες.

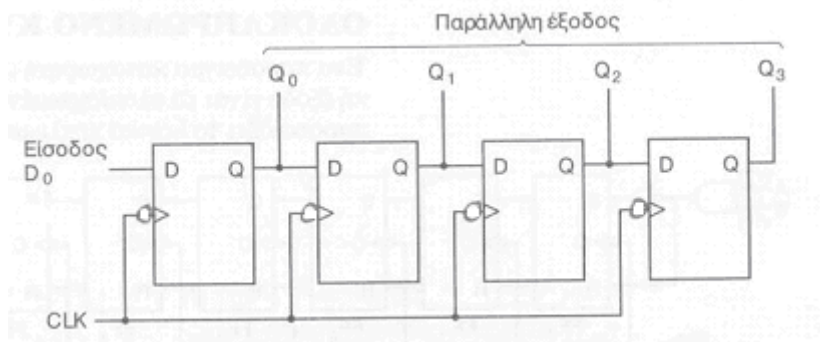
13. Δίνεται το λογικό σύμβολο αποπολυπλέκτη και τα χρονικά διαγράμματα των εισόδων (σχήμα 5) Να σχεδιάσετε κάτω από τα χρονικά διαγράμματα των εισόδων τα χρονικά διαγράμματα των εξόδων D_0, D_1, D_2, D_3 .



Σχήμα 5

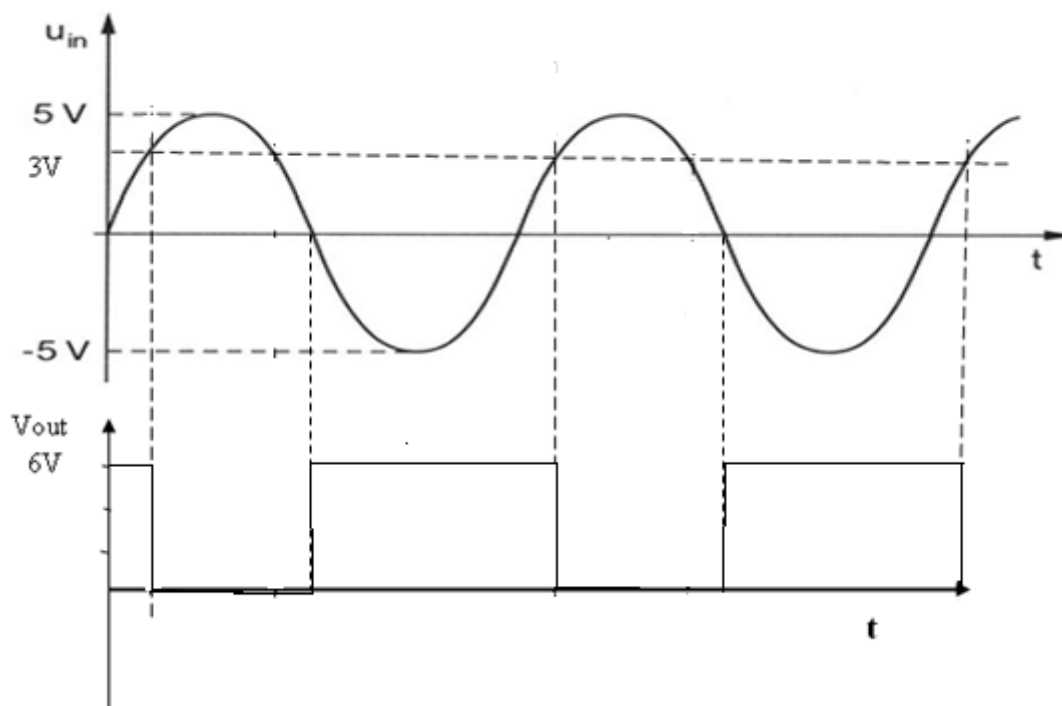
14

- α) Κύκλωμα καταχωρητή 4 bit με διαδοχική είσοδο και παράλληλη έξοδο που χρονίζεται στο αρνητικό μέτωπο των παλμών χρονισμού σχήμα 6



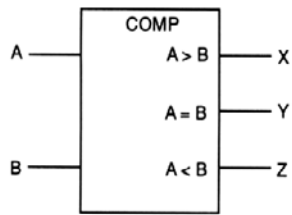
Σχήμα 6

- β) Η κυματομορφή της τάσης εξόδου του κυκλώματος σκανδάλης Σμιτ σχήμα 7 (Η ψηλή τάση κατωφλίου 3 V και η χαμηλή τάση κατωφλίου 0 V. Η μέγιστη τάση εξόδου του κυκλώματος είναι 6V)



Σχήμα 7

15 Δίνεται πιο κάτω σχήμα 8 το λογικό σύμβολο του ψηφιακού συγκριτή 1 bit:



Σχήμα 8

α) Ο πίνακας αληθείας του συγκριτή

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ		
A	B	X	Y	Z
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

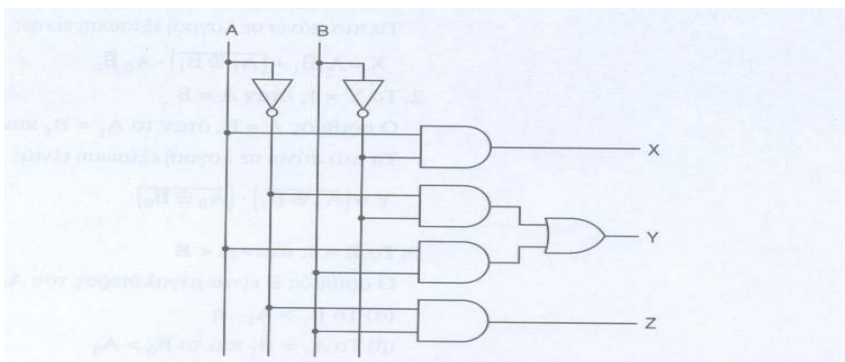
β) Οι λογικές συναρτήσεις για τις εξόδους X, Y και Z

$$X = \overline{A}B$$

$$Y = \overline{A}\overline{B} + A\overline{B}$$

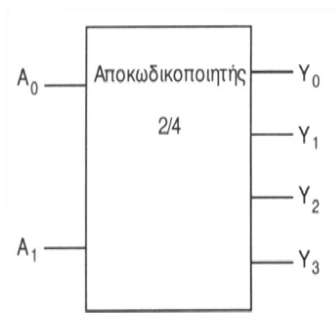
$$Z = A\overline{B}$$

γ) Πιο κάτω σχήμα 9 φαίνεται το λογικό συνδυαστικό κύκλωμα του συγκριτή ενός bit



Σχήμα 9

16. Δίνεται πιο κάτω σχήμα 10 το λογικό σύμβολο του αποκωδικοποιητή 2 bit σε 4 γραμμές.



Σχήμα 10

α) Ο πίνακας αληθείας του αποκωδικοποιητή 2 bit σε 4 γραμμές.

ΕΙΣΟΔΟΙ		ΕΞΟΔΟΙ			
A ₁	A ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

β) Οι λογικές συναρτήσεις των εξόδων του αποκωδικοποιητή 2 bit σε 4 γραμμές.

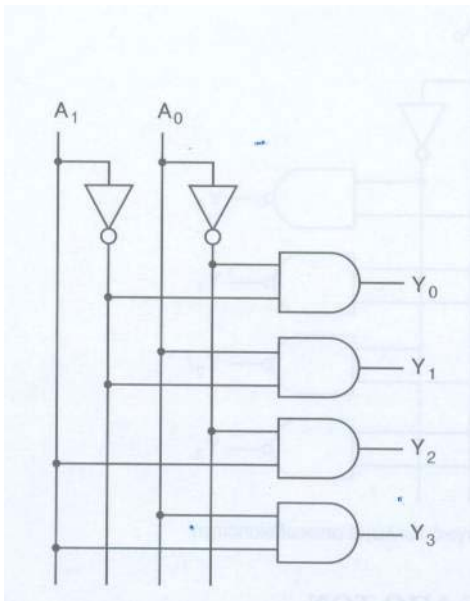
$$Y_0 = \overline{A_1} \overline{A_0}$$

$$Y_1 = \overline{A_1} A_0$$

$$Y_2 = A_1 \overline{A_0}$$

$$Y_3 = A_1 A_0$$

γ) Το λογικό κύκλωμα του αποκωδικοποιητή 2 bit σε 4 γραμμές δίνεται στο σχήμα 11.

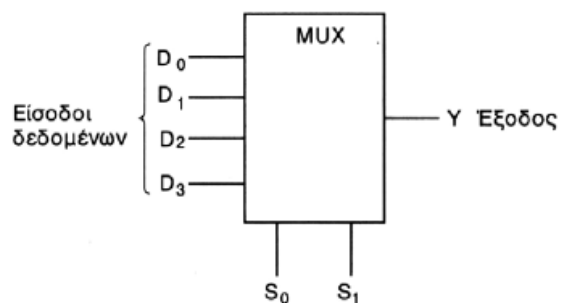


Σχήμα 11

ΜΕΡΟΣ Γ΄ - Το μέρος Γ΄ αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες.

17.

α) Δίνεται το λογικό σύμβολο του πολυπλέκτη 4X1 στο σχήμα 12:



Σχήμα 12

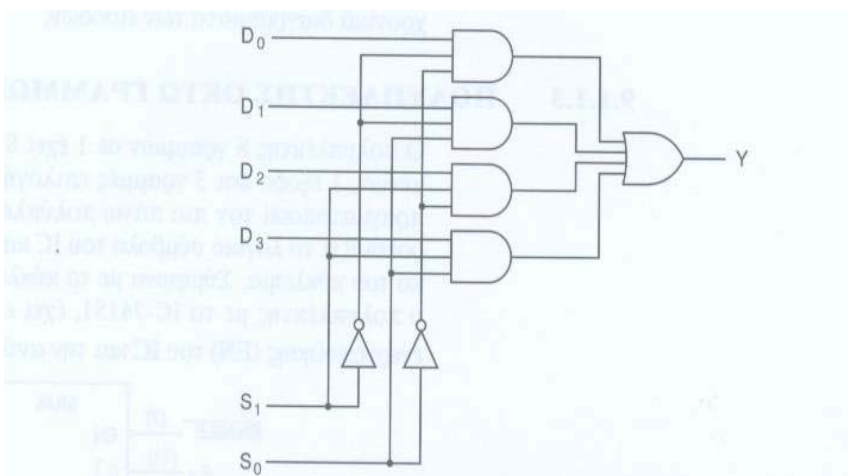
1) Ο πίνακας λειτουργίας του πολυπλέκτη 4X1

Είσοδοι		Έξοδος
S1	S0	Y
0	0	D ₀
0	1	D ₁
1	0	D ₂
1	1	D ₃

2) Η λογική συνάρτηση για την έξοδο Y

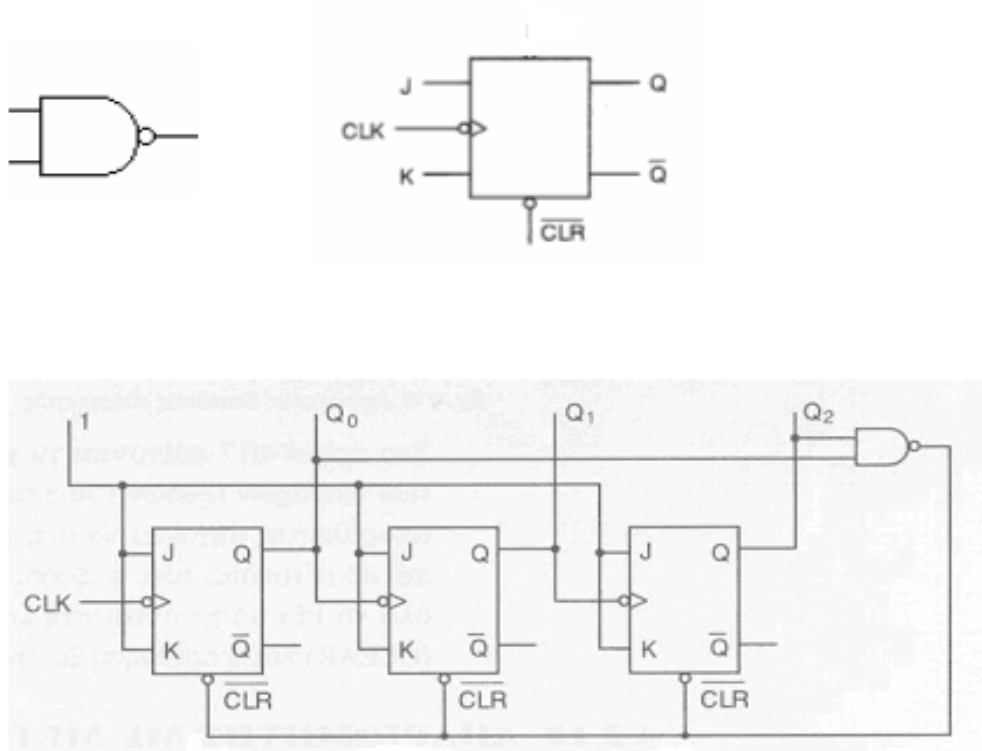
$$Y = \bar{S}_1\bar{S}_0D_0 + \bar{S}_1S_0D_1 + S_1\bar{S}_0D_2 + S_1S_0D_3$$

3) Το συνδυαστικό κύκλωμα που προκύπτει από τη λογική συνάρτηση φαίνεται στο σχήμα 13.



Σχήμα 13

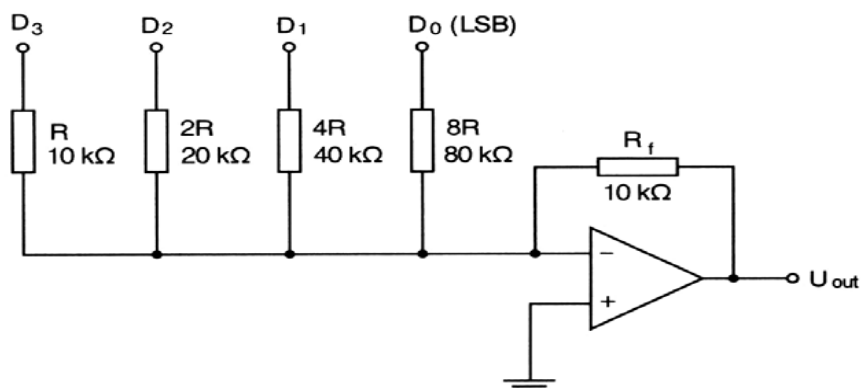
β) Το κύκλωμα ασύγχρονου δυαδικού απαριθμητή με μέτρο 5 (MOD-5), που να μετρά προς τα πάνω, με τη χρήση JK Φλιπ-Φλοπ και πύλης NAND, φαίνεται στο σχήμα 14.



Σχήμα 14

18.

α) Στην είσοδο του κυκλώματος μετατροπέα D/A σχήμα 15 εφαρμόζεται ψηφιακό σήμα. Στο λογικό 1 αντιστοιχεί τάση +5V και στο λογικό 0 τάση 0V.



Σχήμα 15

1. Η Τάση εξόδου του μετατροπέα για το ψηφίο με την ελάχιστη σημαντική αξία Δηλαδή για τον κώδικα $D_3D_2D_1D_0 = 0001$ είναι

$$U_{out} = - R_f/8RD_0$$

$$U_{out} = - 10K\Omega/80K\Omega \cdot 5V = - 0.625V$$

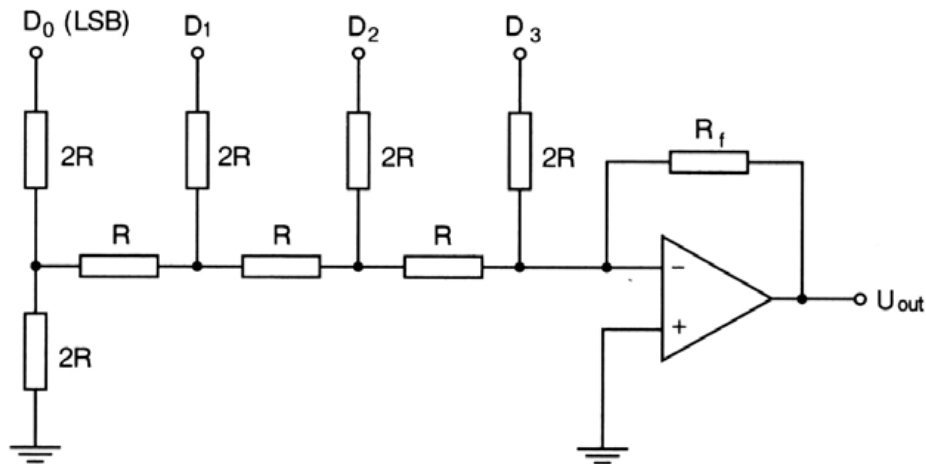
2. Η τάση εξόδου του μετατροπέα για τον κώδικα $D_3D_2D_1D_0=1010$ θα είναι

$$\begin{aligned} U_{out} &= - (R_f/R_3D_3 + R_f/R_2D_2 + R_f/R_1D_1 + R_f/R_0D_0) = -5V R_f/R (1 + 0/2 + 1/4 + 0/8) = \\ &= -5V (1 + 0/2 + 1/4 + 0/8) = - 6,25V \end{aligned}$$

3. Τη μέγιστη τάση εξόδου του μετατροπέα θα έχουμε για τον κώδικα $D_3D_2D_1D_0 = 1111$

$$\begin{aligned} U_{out} &= - (R_f/R_3D_3 + R_f/R_2D_2 + R_f/R_1D_1 + R_f/R_0D_0) = -5V R_f/R (1 + 1/2 + 1/4 + 1/8) = \\ &= -5V (1 + 1/2 + 1/4 + 1/8) = - 9,375V \end{aligned}$$

- β) Στο πιο κάτω κύκλωμα (σχήμα 16) του μετατροπέα D/A 4 bit τύπου R/2R εφαρμόζεται το ψηφιακό σήμα με κώδικα 1011, το λογικό 1 = 5 V, το λογικό 0 = 0 V και $R_f = 2R$



Σχήμα 16

Η αναλογική τάση εξόδου U_{OUT} θα είναι:

$$U_{out} = - R_f/2R (D_3 + D_2/2 + D_1/4 + D_0/8)$$

$U_{out} = - R_f/2R (D_3 + D_2/2 + D_1/4 + D_0/8)$ επειδή $R_f=2R$ θα είναι:

$$U_{out} = - (D_3 + D_2/2 + D_1/4 + D_0/8) =$$

$$= - (5 + 0/2 + 5/4 + 5/8) = - 5(1 + 0/2 + 1/4 + 1/8) = - 6,875V$$

- γ) Ο χρόνος μετατροπής αναλογικού σήματος σε ψηφιακό από μετατροπέα διαδοχικών προσεγγίσεων των 8 bit είναι συνολικά 8 περιόδους CLK, αν οι παλμοί ρολογιού CLK έχουν συχνότητα 1 MHz
Η περίοδος CLK που έχει συχνότητα 1 MHz είναι $f = 1/T = 1/1MHz = 1 \cdot 10^{-6} S = 1\mu S$

$$8 \text{ περιόδους CLK} = 8 \cdot 1\mu S = 8\mu S$$

Άρα Ο χρόνος μετατροπής του αναλογικού σήματος σε ψηφιακό από τον πιο πάνω

μετατροπέα διαδοχικών προσεγγίσεων των 8 bit **θα είναι 8μS**