

ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2008

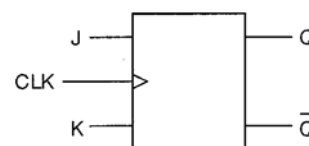
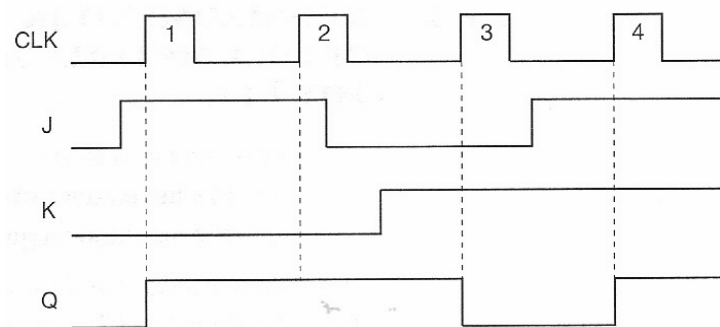
ΤΕΧΝΟΛΟΓΙΑ ΙΙ ΤΕΧΝΙΚΩΝ ΣΧΟΛΩΝ ΘΕΩΡΗΤΙΚΗΣ ΚΑΤΕΥΘΥΝΣΗΣ

Μάθημα : Ψηφιακά Ηλεκτρονικά (Κωδ. Μαθήματος: 155)
Ημερομηνία : Πέμπτη, 12 Ιουνίου 2008
Ωρα εξέτασης : 11:00 – 13:30

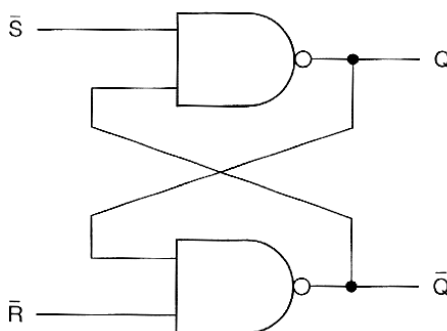
Απαντήσεις

Μέρος Α΄

1.

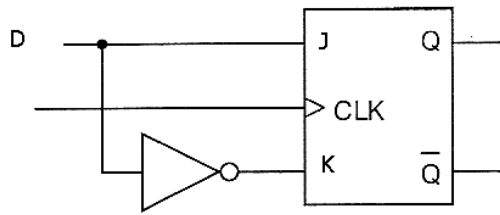


2. (α) SR Φλιπ Φλοπ με τη χρήση δύο πυλών NAND.

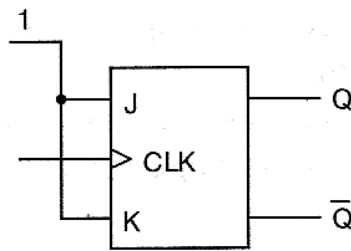


(β) Το JK Φλιπ Φλοπ δεν έχει την απαγορευμένη κατάσταση των εισόδων όταν $J=1$ και $K=1$ όπως συμβαίνει στο SR Φλιπ Φλοπ. Στη περίπτωση αυτή η κατάσταση του JK Φλιπ Φλοπ είναι η εναλλαγή (Toggle).

3. (α) D Φλιπ Φλοπ



(β) T Φλιπ Φλοπ



4. Ο επαναδιεγερόμενος μονοσταθής πολυδονητής διεγείρεται είτε βρίσκεται στη σταθερή είτε στη μη σταθερή του κατάσταση. Αντίθετα ο μη επαναδιεγερόμενος μονοσταθής πολυδονητής διεγείρεται μόνο όταν βρίσκεται στη σταθερή του κατάσταση.

5. (α) $T = \frac{1}{f} = \frac{1}{10 \text{ kHz}} = 100 \mu\text{s}$

(β) $t_H = 30 \mu\text{s}$

(γ) $t_L = 70 \mu\text{s}$

6. (α) Δύο από τα πιο κάτω χαρακτηριστικά:

| | |
|-----------------------------|----------------------|
| Καταναλισκόμενη ισχύς | Λογικά Επίπεδα |
| Περιθώριο Θορύβου | Καθυστέρηση Διάδοσης |
| Ικανότητα Οδήγησης | Τάση Τροφοδοσίας |
| Γινόμενο Ταχύτητας – Ισχύος | |

(β) Δύο από τις πιο κάτω λογικές οικογένειες:

TTL, CMOS, ECL.

7. (α) Μέγιστο μέτρο = $2^5 = 32$.

(β) $32 < 50 < 64$

Αριθμός Φλιπ Φλοπ = $6 (2^6 = 64)$

8. Ο ασύγχρονος απαριθμητής είναι πιο απλός στη κατασκευή σε συγκριση με το σύγχρονο, αλλά συνάμα και πιο αργός στην ταχύτητα λειτουργίας.

9. (α) Ο κωδικοποιητής είναι ένα συνδυαστικό λογικό κύκλωμα με πολλές εισόδους, από τις οποίες ενεργοποιείται μόνο μια κάθε φορά η οποία δίδει στην έξοδο του κυκλώματος ένα συνδυασμό από δυαδικά ψηφία, δηλαδή τον κώδικα της πληροφορίας που ενεργοποίησε τον κωδικοποιητή.

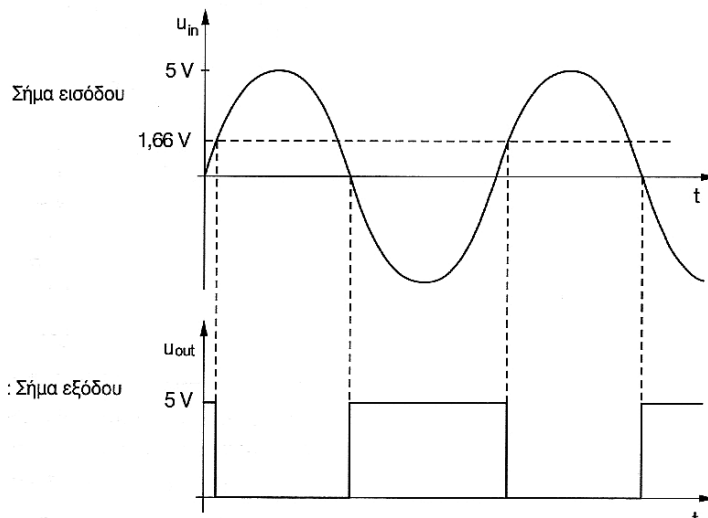
(β) $64 < 107 < 128$

Ελάχιστος αριθμός bit = 7 ($128 = 2^7$)

10. (α) $A_3A_2A_1A_0 = 0101 \Rightarrow$ Αριθμός 5

(β) $a=1, b=0, c=1, d=1, e=0, f=1, g=1$

11. Σήμα εξόδου σκανδάλης Σμιτ



12. (α) (i) Ψηφίο ισοτιμίας=1

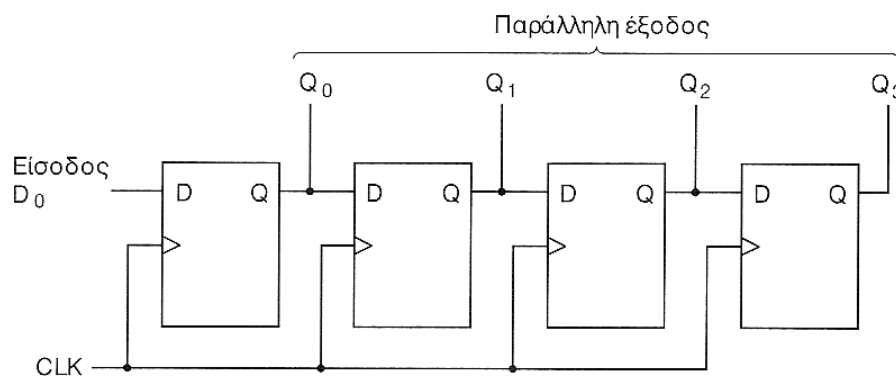
(ii) Ψηφίο ισοτιμίας=0

(β) (i) Σωστό

(ii) Λάθος

Μέρος Β'

13. (α) Καταχωρητής 4-bit με διαδοχική είσοδο και παράλληλη έξοδο.



(β) Περίοδος CLK, $T = \frac{1}{f} = \frac{1}{200 \text{ kHz}} = 5 \mu\text{s}$

Για να αποθηκευτεί μια πληροφορία των 4-bit, απαιτούνται 4 παλμοί CLK

Συνολικός χρόνος $4 \times 5 = 20 \mu\text{s}$

(γ) $Q_0Q_1Q_2Q_3 = 0001$

14. (α) Πίνακας αληθείας συγκριτή 1-bit

| Είσοδοι | | Έξοδοι | | |
|---------|---|--------|---|---|
| A | B | X | Y | Z |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |

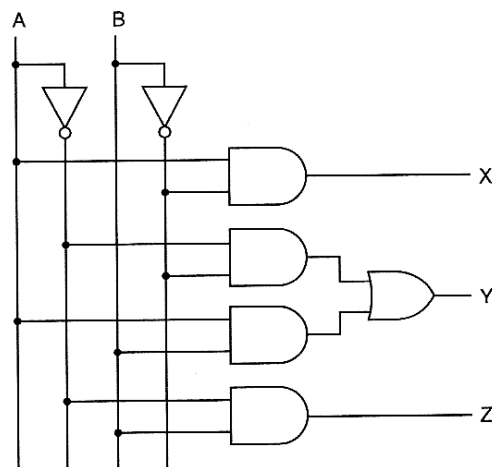
(β) Λογικές συναρτήσεις εξόδων

$$X = A\bar{B}$$

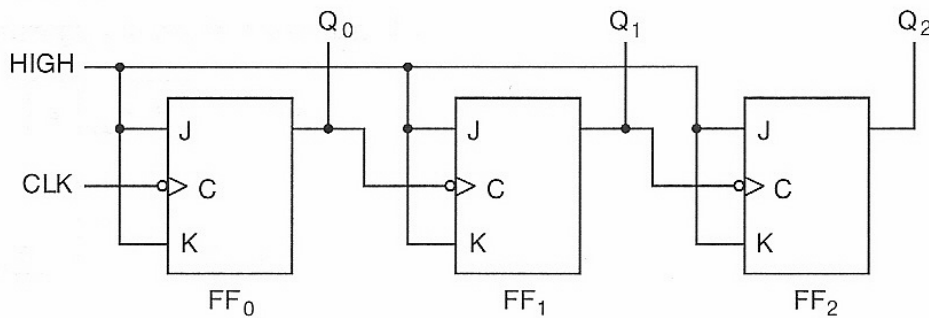
$$Y = \bar{A}\bar{B} + AB$$

$$Z = \bar{A}B$$

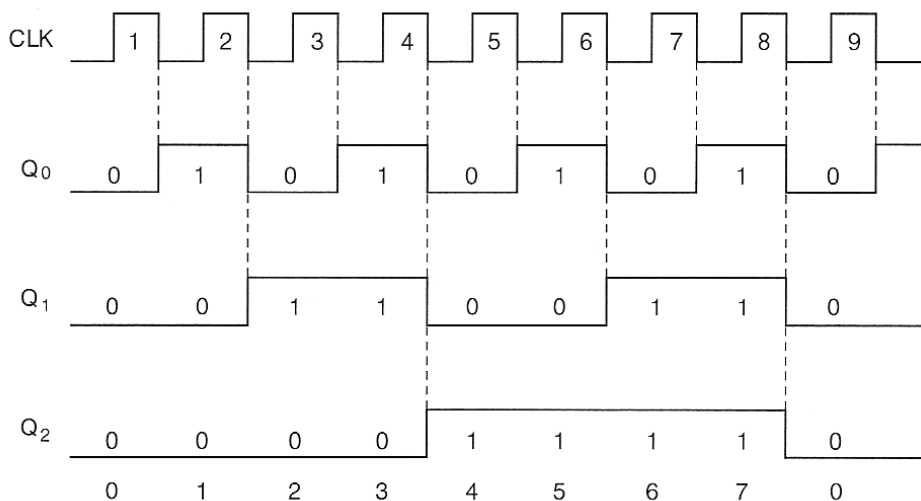
(γ) Λογικό κύκλωμα



15. (α) Κύκλωμα ασύγχρονου δυαδικού απαριθμητή 3-bit που μετρά προς τα πάνω



(β) Λογικά διαγράμματα εξόδων απαριθμητή



16. (α) $R_2 = 100 \text{ k}\Omega$, $R_1 = 200 \text{ k}\Omega$ $R_0 = 400 \text{ k}\Omega$

(β) $V_{OUT} = -V_{IN} \frac{R_f}{8R} (8D_3 + 4D_2 + 2D_1 + D_0)$

$$V_{OUT} = -5 \frac{40 \text{ k}\Omega}{400 \text{ k}\Omega} (8 + 4 + 2 + 1) = -\frac{200}{400} \times 15 = -7,5 \text{ V}$$

(β) Ο μετατροπέας τύπου κλίμακας R/2R χρησιμοποιεί μόνο δύο τιμές αντιστάσεων τη R και 2R, και άρα είναι πιο εύκολη η κατασκευή του από το κύκλωμα του μετατροπέα με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα.

Μέρος Γ'

17. (α) Πίνακας λειτουργίας αποκωδικοποιητή 2-bit σε 4 γραμμές

| Είσοδοι | | Έξοδοι | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|
| A ₁ | A ₀ | Y ₃ | Y ₂ | Y ₁ | Y ₀ |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

(β) Λογικές συναρτήσεις εξόδων αποκωδικοποιητή

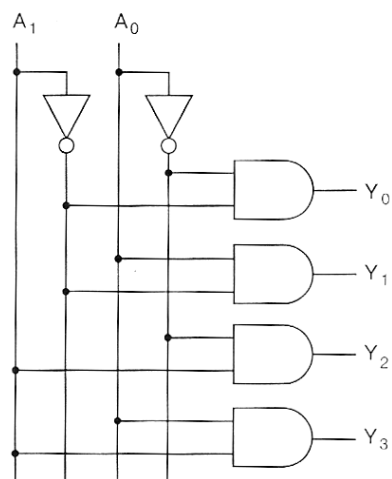
$$Y_0 = \bar{A}_1 \bar{A}_0$$

$$Y_1 = \bar{A}_1 A_0$$

$$Y_2 = A_1 \bar{A}_0$$

$$Y_3 = A_1 A_0$$

(γ) Λογικό κύκλωμα αποκωδικοποιητή



18. (α) Πίνακας λειτουργίας πολυπλέκτη τεσσάρων γραμμών σε μια.

| Είσοδοι | | Έξοδος |
|----------------|----------------|----------------|
| S ₁ | S ₀ | Y |
| 0 | 0 | D ₀ |
| 0 | 1 | D ₁ |
| 1 | 0 | D ₂ |
| 1 | 1 | D ₃ |

(β) Λογική εξίσωση εξόδου Y

$$Y = \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3$$

(γ) $2^4 = 16 \Rightarrow 4$ είσοδοι επιλογής

(δ) (1) Q = 1 (2) Q = 0 (3) Q = 1 (4) Q = 1