

**ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ ΚΑΙ ΠΟΛΙΤΙΣΜΟΥ
ΔΙΕΥΘΥΝΣΗ ΑΝΩΤΕΡΗΣ ΚΑΙ ΑΝΩΤΑΤΗΣ ΕΚΠΑΙΔΕΥΣΗΣ
ΥΠΗΡΕΣΙΑ ΕΞΕΤΑΣΕΩΝ**

ΠΑΓΚΥΠΡΙΕΣ ΕΞΕΤΑΣΕΙΣ 2006

Μάθημα : Ψηφιακά Ηλεκτρονικά
Τεχνολογία II, Θεωρητικής Κατεύθυνσης

Ημερομηνία και ώρα εξέτασης: Πέμπτη, 8 Ιουνίου 2006
11.00 – 13.30

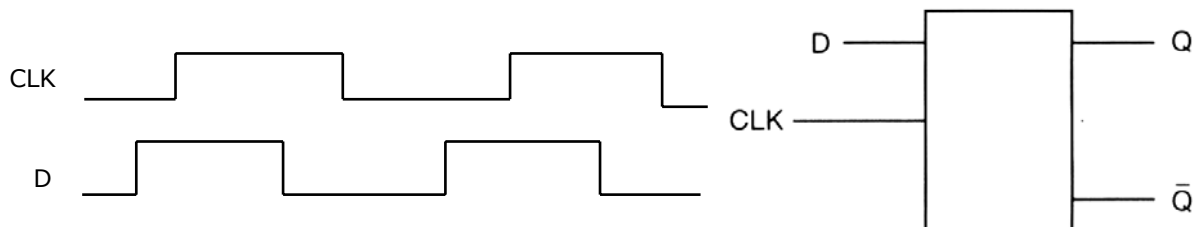
**ΤΟ ΕΞΕΤΑΣΤΙΚΟ ΔΟΚΙΜΙΟ ΑΠΟΤΕΛΕΙΤΑΙ ΑΠΟ ΠΕΝΤΕ (5) ΣΕΛΙΔΕΣ ΚΑΙ
ΤΡΙΑ ΜΕΡΗ (Α΄, Β΄ ΚΑΙ Γ΄)**

ΟΔΗΓΙΕΣ:

1. Να απαντήσετε όλες τις ερωτήσεις.
2. Επιτρέπεται η χρήση μη προγραμματιζόμενης υπολογιστικής μηχανής.

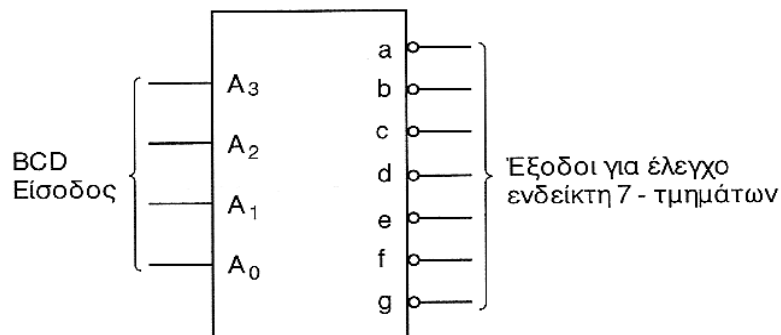
ΜΕΡΟΣ Α΄ - Το μέρος Α΄ αποτελείται από 12 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 4 μονάδες

1. Στο σχήμα 1 δίνεται το λογικό σύμβολο χρονιζόμενου D Φλιπ-Φλοπ και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε στο τετράδιο των απαντήσεών σας τα χρονικά διαγράμματα των εισόδων και κάτω απ΄ αυτά να σχεδιάσετε τα χρονικά διαγράμματα των δύο εξόδων του Φλιπ-Φλοπ. Αρχικά το Φλιπ-Φλοπ βρίσκεται στην κατάσταση μηδενισμού (Reset).



2. Να σχεδιάσετε ένα SR Φλιπ-Φλοπ με τη χρήση δύο πυλών NOR και να δώσετε τον πίνακα αληθείας του.
3. Να αναφέρετε τι εννοούμε με τον όρο “Λογική Οικογένεια” και να δώσετε τις δύο σπουδαιότερες λογικές οικογένειες που χρησιμοποιούνται σήμερα.

4. Να εξηγήσετε γιατί το γινόμενο ταχύτητας - ισχύος είναι ένα σημαντικό κριτήριο στη σύγκριση λογικών οικογενειών.
5. Να εξηγήσετε τη διαφορά του ασύγχρονου από το σύγχρονο απαριθμητή.
6. (α) Ένας ασύγχρονος δυαδικός απαριθμητής των 4-bit που μετρά προς τα πάνω έχει Φλιπ-Φλοπ με χρόνο καθυστέρησης 10 μ s. Να υπολογίσετε το χρόνο που χρειάζεται, για να αλλάξει ο απαριθμητής από τη κατάσταση 1111 στη λογική κατάσταση 0000.
(β) Να υπολογίσετε το χρόνο που θα χρειαζόταν ένας αντίστοιχος σύγχρονος απαριθμητής.
7. Η λογική κατάσταση ενός καταχωρητή των 8-bit είναι 11010101. Στον καταχωρητή εισέρχονται με σειριακό τρόπο μηδενικά με ταυτόχρονη μετακίνηση των ψηφίων (bit) προς τα δεξιά. Να γράψετε τις νέες λογικές καταστάσεις του καταχωρητή για 4 χρονικούς παλμούς του ρολογιού (CLK).
8. (α) Να δώσετε τον ορισμό του ψηφιακού αποκωδικοποιητή.
(β) Να υπολογίσετε το μέγιστο αριθμό εξόδων αποκωδικοποιητή όταν ο αριθμός των ψηφίων του κώδικα εισόδου είναι 4-bit.
9. Δίνεται στο σχήμα 2 το σύμβολο αποκωδικοποιητή από τον κώδικα BCD στον κώδικα που ελέγχει τον ενδείκτη 7-τμημάτων. Αν η λογική κατάσταση των εξόδων του είναι $a=0, b=0, c=0, d=1, e=1, f=1$ και $g=1$, να αναφέρετε:
(α) Τον αριθμό που εμφανίζεται στον ενδείκτη 7-τμημάτων.
(β) Τον κώδικα εισόδου, $A_3A_2A_1A_0$.

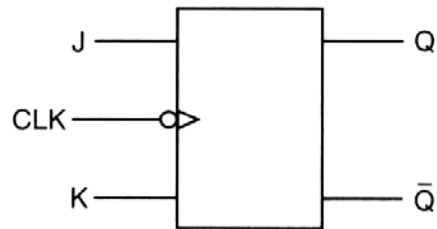


Σχήμα 2

10. Να δώσετε τον ορισμό του συγκριτή τάσης.
11. Να υπολογίσετε το χρόνο μετατροπής αναλογικού σήματος σε ψηφιακό από μετατροπέα διαδοχικών προσεγγίσεων, αν η συχνότητα του ρολογιού (CLK) είναι 2 MHz και το ψηφιακό σήμα είναι 8-bit.
12. (α) Ασύγχρονος απαριθμητής έχει δύο Φλιπ-Φλοπ. Αν η συχνότητα του ρολογιού (CLK) είναι 1 MHz να υπολογίσετε τη συχνότητα στις δύο εξόδους του απαριθμητή, Q_0 και Q_1 .
(β) Τι συμβαίνει όταν ένα JK Φλιπ-Φλοπ βρίσκεται σε κατάσταση εναλλαγής (Toggle) και εφαρμόζουμε παλμούς χρονισμού;

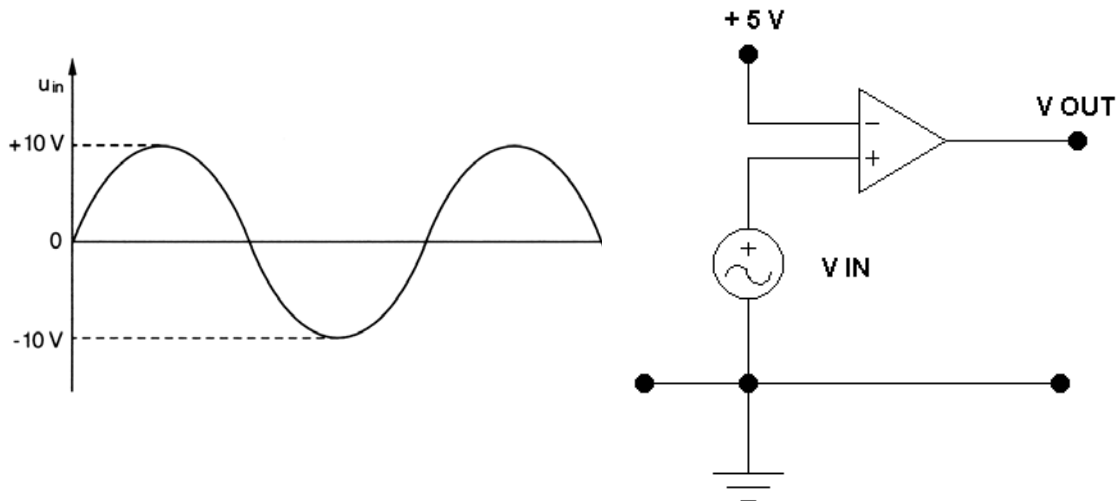
ΜΕΡΟΣ Β΄ - Το μέρος Β΄ αποτελείται από 4 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 8 μονάδες

13. (α) Δίνεται το JK Φλιπ-Φλοπ του σχήματος 3. Χρησιμοποιώντας τέτοια Φλιπ-Φλοπ να σχεδιάσετε το κύκλωμα ασύγχρονου δυαδικού απαριθμητή 4-bit που μετρά προς τα πάνω.
- (β) Να σχεδιάσετε στο τετράδιο σας 16 χρονικούς παλμούς και από κάτω απ' αυτούς να σχεδιάσετε τα χρονικά διαγράμματα των εξόδων του απαριθμητή. Αρχικά τα Φλιπ-Φλοπ βρίσκονται σε κατάσταση μηδενισμού (Reset).



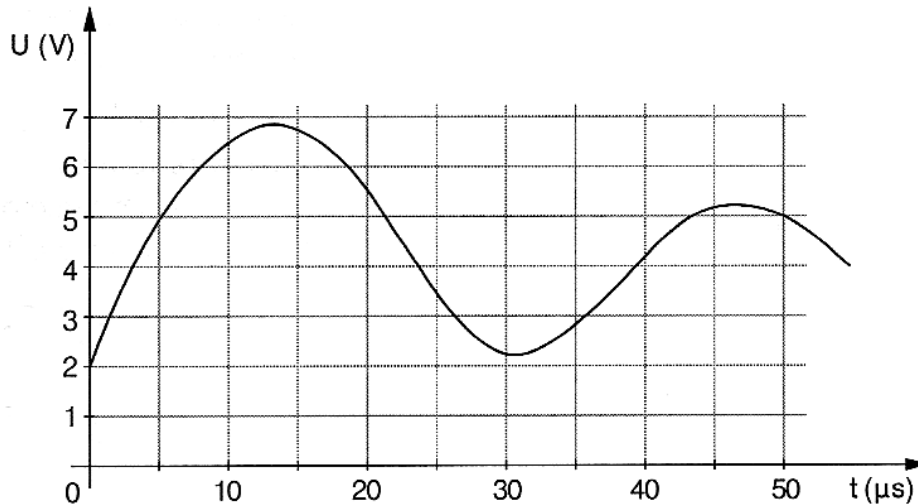
Σχήμα 3

14. Στο σχήμα 4 δίνεται κύκλωμα συγκριτή τάσης και το σήμα που εφαρμόζεται στην ορθή (θετική) είσοδό του. Να σχεδιάσετε το σήμα εισόδου στο τετράδιο των απαντήσεών σας, και κάτω απ' αυτό να σχεδιάσετε το σήμα εξόδου. Η τάση εξόδου που αντιστοιχεί με το λογικό 1 ισούται με +15 V και η τάση εξόδου που αντιστοιχεί με το λογικό 0 ισούται με -15 V.



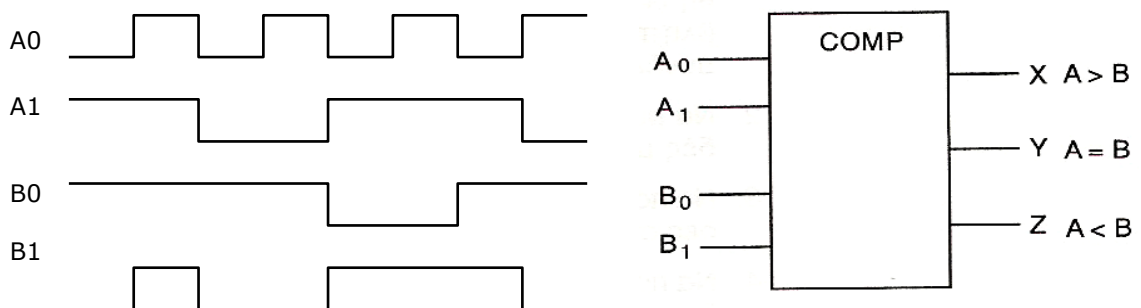
Σχήμα 4

15. Δίνεται το αναλογικό σήμα του σχήματος 5. Να το μετατρέψετε σε ψηφιακό σήμα 3-bit και να το σχεδιάσετε, αν η δειγματοληψία γίνεται κάθε 10 μs και ο κώδικας 001, δηλαδή το ψηφίο με την ελάχιστη σημαντική αξία (LSB) του ψηφιακού σήματος, αντιστοιχεί στο 1 V. (Στις περιπτώσεις που η τιμή του αναλογικού σήματος που θα μετατραπεί περιλαμβάνει και δεκαδικό μέρος, τότε για τη μετατροπή θα λαμβάνεται υπόψη η μικρότερη ακέραια τιμή του σήματος).



Σχήμα 5

16. Στο σχήμα 6 δίνεται το λογικό διάγραμμα του ψηφιακού συγκριτή και τα χρονικά διαγράμματα των εισόδων του. Να σχεδιάσετε στο τετράδιο των απαντήσεών σας τα χρονικά διαγράμματα των εισόδων και κάτω απ' αυτά να σχεδιάσετε τα χρονικά διαγράμματα των τριών εξόδων του συγκριτή.

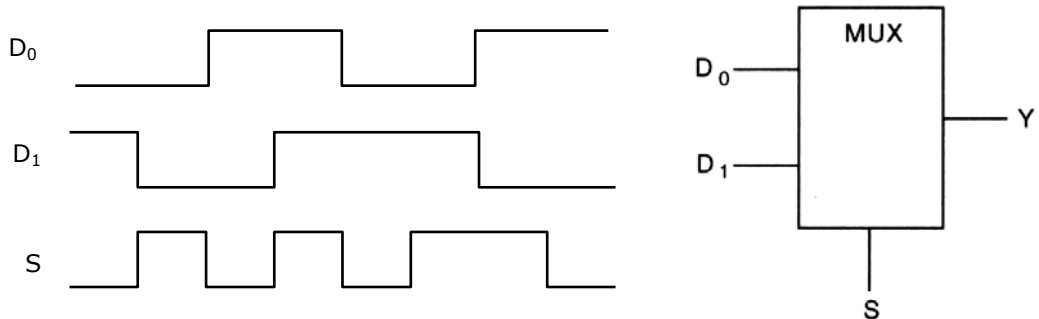


Σχήμα 6

ΜΕΡΟΣ Γ' - Το μέρος Γ' αποτελείται από 2 ερωτήσεις. Κάθε ορθή απάντηση βαθμολογείται με 10 μονάδες

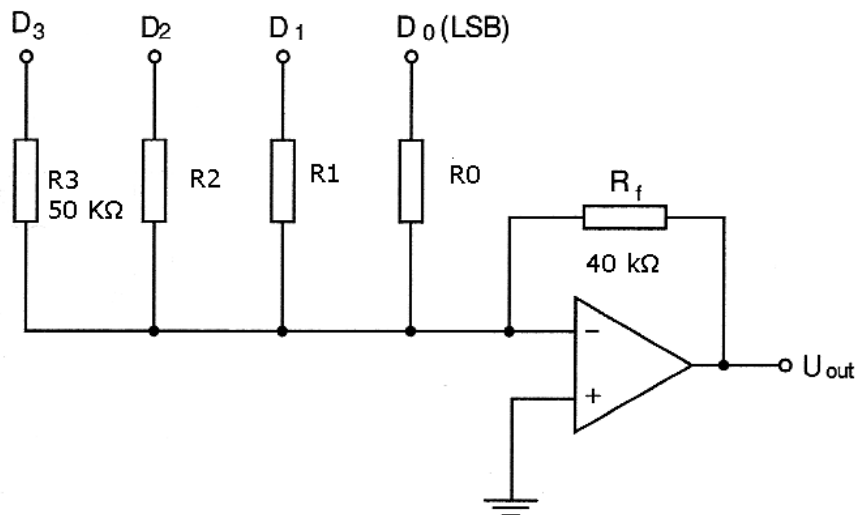
17. Στο σχήμα 7 δίνεται το λογικό σύμβολο πολυπλέκτη δυο γραμμών σε μια και τα χρονικά διαγράμματα των εισόδων του.
- (α) Να γράψετε τον πίνακα λειτουργίας του πολυπλέκτη.
- (β) Να γράψετε τη λογική συνάρτηση της εξόδου Y του πολυπλέκτη.

- (γ) Να σχεδιάσετε το λογικό κύκλωμα του πολυπλέκτη.
- (δ) Να σχεδιάσετε στο τετράδιο των απαντήσεών σας τα χρονικά διαγράμματα των εισόδων του πολυπλέκτη, και κάτω απ' αυτά να σχεδιάσετε το χρονικό διάγραμμα της εξόδου Y .



Σχήμα 7

18. Στο σχήμα 8 δίνεται το κύκλωμα μετατροπέα ψηφιακού σήματος σε αναλογικό (DAC) με αντιστάσεις σταθμισμένες στο δυαδικό σύστημα. Η τιμή της αντίστασης για το ψηφίο με τη μέγιστη σημαντική αξία (MSB) είναι $R_3 = 50 \text{ k}\Omega$ και η αντίσταση επανατροφοδότησης $R_f = 40 \text{ k}\Omega$. Να υπολογίσετε:
- (α) Τις τιμές των αντιστάσεων R_0 , R_1 και R_2 .
- (β) Την τάση εξόδου U_{OUT} , όταν εφαρμόσουμε στην είσοδο του μετατροπέα τον κώδικα 1010. Το λογικό 1 αντιστοιχεί στα $+5 \text{ V}$ και το λογικό 0 στα 0 V .
- (γ) Τη μέγιστη τάση εξόδου.



Σχήμα 8

----- ΤΕΛΟΣ ΕΞΕΤΑΣΗΣ -----